

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09148525 A

(43) Date of publication of application: 06 . 06 . 97

(51) Int. Cl

H01L 27/04

H01L 21/822

H01P 3/08

H01P 5/08

H03H 11/28

(21) Application number: 07302848

(71) Applicant: MATSUSHITA ELECTRON CORP

(22) Date of filing: 21 . 11 . 95

(72) Inventor: ISHIKAWA OSAMU

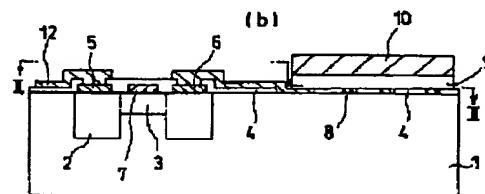
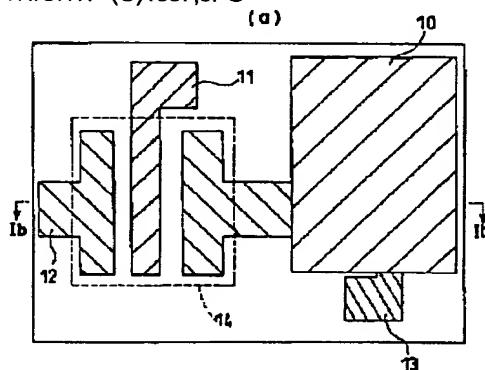
(54) HIGH FREQUENCY SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To miniaturize a semiconductor chip and reduce the cost, when an active semiconductor element and a passive element are formed collectively in a unified body on a semiconductor substrate.

SOLUTION: An FET as an active semiconductor element, and a spiral inductor as a passive element are formed on the main surface of a GaAs substrate 1. A high dielectric film 9 composed of material whose dielectric constant is 20 or higher, e.g. strontium titanate, and an earth electrode 10 for the high dielectric film are laminated in order on the inductor 8. Since the high dielectric film 9 is formed by using the material of high dielectric constant, the occupied area of the inductor 8 can be reduced, and the area of the GaAs substrate 1 also can be reduced. Hence a high frequency semiconductor device can be miniaturized and the manufacturing cost also can be reduced. In the case of a silicon substrate, the effect can be realized by the dielectric constant of 10 or higher.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148525

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04			H 01 L 27/04	F
21/822			H 01 P 3/08	
H 01 P 3/08			5/08	L
5/08		8731-5 J	H 03 H 11/28	
H 03 H 11/28				

審査請求 未請求 請求項の数13 O L (全14頁)

(21)出願番号 特願平7-302848

(22)出願日 平成7年(1995)11月21日

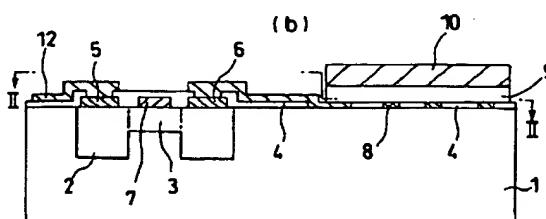
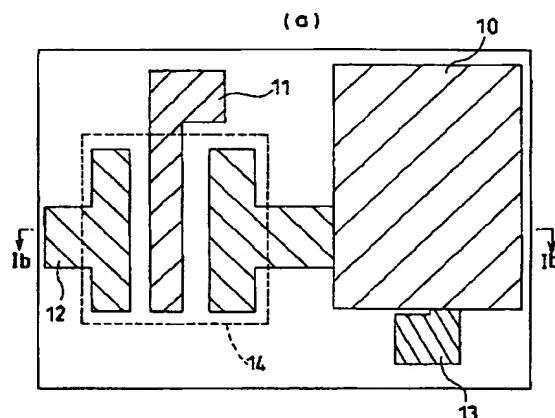
(71)出願人 000005843  
松下電子工業株式会社  
大阪府高槻市幸町1番1号  
(72)発明者 石川 修  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 高周波半導体装置

(57)【要約】

【課題】 半導体基板上に能動半導体素子と受動素子とを一体形成した高周波半導体装置において、半導体チップを小型化し、かつコストを低減する。

【解決手段】 GaAs基板1の正面側に能動半導体素子であるFETと、受動素子であるスパイラルインダクター8とが形成されている。インダクター8の上には、比誘電率が20以上の材料例えばチタン酸ストロンチウムからなる高誘電体膜9と高誘電体膜用接地電極10とが順次積層されている。このように比誘電率の高い材料を用いて高誘電体膜9が形成されているので、インダクター8の占有面積を低減でき、GaAs基板1の面積も低減し得る。したがって、高周波半導体装置を小型化することができ、かつ製造コストも低減できる。シリコン基板の場合には比誘電率が10以上でも効果がある。



## 【特許請求の範囲】

【請求項1】 半導体基板と、

上記半導体基板の正面側に形成されたトランジスタ等の能動半導体素子と、

上記半導体基板の正面側に形成され、インダクター及び伝送線路のうちのいずれか一方からなる受動素子と、

上記受動素子上に形成された比誘電率10以上の高誘電体膜と、

上記高誘電体膜の上に形成された接地金属電極とを備えていることを特徴とする高周波半導体装置。

【請求項2】 請求項1記載の高周波半導体装置において、

少なくとも端子及び接地電極を有し、上記半導体基板をその正面側を上にした状態で実装するためのパッケージをさらに備え、

上記半導体基板上の各電極パッドと上記パッケージとの相対応する端子がボンディングワイヤーで接続されると共に、上記接地金属電極と上記パッケージの接地電極とがボンディングワイヤにより相互に接続されていることを特徴とする高周波半導体装置。

【請求項3】 請求項1記載の高周波半導体装置において、

上記各部材が形成された半導体基板をその正面側を下にした状態で実装するためのパッケージをさらに備え、上記半導体基板上の接地金属電極はバンプとしても機能するものであり、上記各電極パッドと上記パッケージとの相対応する端子とがバンプを介して直接接続され、上記接地金属電極と上記パッケージの接地電極とが上記バンプにより直接接続されていることを特徴とする高周波半導体装置。

【請求項4】 半導体基板と、

上記半導体基板の正面側に形成されたトランジスタ等の能動半導体素子と、

上記半導体基板の正面側に形成され、インダクター及び伝送線路のうちのいずれか一方からなる複数の受動素子と、

上記各受動素子上にそれぞれ形成され互いに分離された比誘電率10以上の複数の高誘電体膜と、

上記各高誘電体膜の上にそれぞれ形成され互いに分離された複数の接地金属電極とを備えていることを特徴とする高周波半導体装置。

【請求項5】 請求項4記載の高周波半導体装置において、

上記各高誘電体膜は、互いに異なる比誘電率を有する材料により構成されていることを特徴とする高周波半導体装置。

【請求項6】 半導体基板と、

上記半導体基板の正面側に形成されたトランジスタ等の能動半導体素子と、

上記半導体基板の正面側に形成された接地金属電極と、

上記接地金属電極の上に形成された比誘電率10以上の高誘電体膜と、

上記高誘電体膜の上に形成され、インダクター及び伝送線路のうちのいずれか一方からなる受動素子とを備えていることを特徴とする高周波半導体装置。

【請求項7】 半導体基板と、

上記半導体基板の正面側に形成されたトランジスタ等の能動半導体素子と、

上記基板の正面側に互いに分離して形成された複数の接地金属電極と、

上記各接地金属電極の上にそれぞれ形成され、互いに分離された比誘電率10以上の複数の高誘電体膜と、

上記各高誘電体膜の上に形成され、インダクター及び伝送線路のうちのいずれか一方からなる複数の受動素子とを備えていることを特徴とする高周波半導体装置。

【請求項8】 請求項7記載の高周波半導体装置において、

上記各高誘電体膜は、互いに異なる比誘電率を有する材料により構成されていることを特徴とする高周波半導体装置。

【請求項9】 請求項1, 4, 6又は7記載の高周波半導体装置において、

上記接地金属電極の厚みは、使用周波数が低いほど厚くなるように形成されていることを特徴とする高周波半導体装置。

【請求項10】 請求項1, 4, 6又は7記載の高周波半導体装置において、

上記接地金属電極の厚みは、3μm以上であることを特徴とする高周波半導体装置。

【請求項11】 請求項1, 4, 6又は7記載の高周波半導体装置において、

上記半導体基板は、化合物半導体基板であり、上記高誘電体膜は、比誘電率が20以上の材料で構成されていることを特徴とする高周波半導体装置。

【請求項12】 請求項1, 4, 6又は7記載の高周波半導体装置において、

上記高誘電体膜は、チタン酸ストロンチウム(SrTiO<sub>3</sub>)により構成されていることを特徴とする高周波半導体装置。

【請求項13】 請求項1, 4, 6又は7記載の高周波半導体装置において、

上記半導体基板は、シリコン単結晶により構成されていることを特徴とする高周波半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、同一半導体基板上にトランジスタ等の能動半導体素子とインダクター又は伝送線路からなる受動素子とを形成してなる高周波半導体装置に関するものである。

【0002】

【従来の技術】従来より、同一半導体基板上に、トランジスタ等の能動半導体素子と、スパイラルインダクター、伝送線路、キャパシター等の受動素子で構成されたインピーダンス整合回路とを形成してなるIC(以下、MMIC: Microwave Monolithic ICと略称する)は、1～2GHzの周波数で作動する携帯電話等の高周波機器に用いられている。これらのMMICは、同一半導体基板上に能動半導体素子とインピーダンス整合回路とを形成しているために、MMIC全体の高周波特性のバラツキの抑制と歩留まり向上と高周波機器の小型化とが期待できる。

$$\lambda_a = \lambda_0 / \sqrt{\epsilon}$$

但し、 $\lambda_0$ : 真空中の波長  $\lambda_a$ : 短縮された波長  
 $\epsilon$ : 材料の比誘電率である。

【0005】上記式(1)から分かるように、伝送線路を構成する材料として比誘電率の大きな材料を用いることで波長の短縮効果により回路を小型化できることが分かる。このため、従来から提案されているMMICでは、GaAs基板の比誘電率が1.2前後であるという特性を利用し、数ミリ角のチップ上にインピーダンス整合回路と能動半導体素子とを形成するようにしている。

【0006】ここで、従来の高周波半導体装置として半絶縁性GaAs基板を用いたMMICの具体的な構造について説明する。図10(a)及び図10(b)は、従来のMMICの平面図及びXb-Xb線における断面図である。図10(a), (b)に示すように、半絶縁性GaAs基板1の主面側には、FETの活性領域14がイオン注入により形成されている。この活性領域14は、コンタクト抵抗を下げるための2つのN+領域2(ソース・ドレイン)と真性FETのN-領域3(チャネル領域)とから構成されている。さらに、FETには、ソース電極5と、ゲート電極7と、ドレイン電極6とが、それぞれ蒸着により形成されている。以上の構成により、FETが能動半導体素子としてトランジスタ動作をする。また、ボンディングワイヤーを用いて各電極5, 7とパッケージや外部の端子とを電気的に接続するためのソース電極パッド12、ゲート電極パッド11が形成されている。さらに、半絶縁性GaAs基板1の主面側には整合用スパイラルインダクター8がFETに隣接して形成されている。該スパイラルインダクター8の一端はドレイン電極6に、他端は出力電極パッド13の電極にそれぞれ接続されている。また、スパイラルインダクター8の一部は、重なり領域Rovlpにおいて絶縁層を間に挟んで出力電極パッド13を跨いだ状態となっている。さらに、半絶縁性半絶縁性GaAs基板1の裏面に接地金属10が設けられており、半絶縁性GaAs基板1が整合用スパイラルインダクター8に対する高誘電体膜として機能するよう構成されている。

【0007】一般的なMMICの場合、ソース電極パッド12はボンディングワイヤーを介して接地され、ゲー

【0003】一方、MMICを構成する半導体基板としては、シリコン(Si)基板でも可能であるが、従来は一般に化合物半導体であるガリウム砒素(以下、GaAsと記す)が主として用いられている。この理由は、GaAs基板で半絶縁性の基板が形成可能であること、GaAs基板の比誘電率が1.2前後であるので高周波の伝送線路を形成した場合に波長が短縮され小型化に適すること等である。この波長の短縮特性は、具体的には次の式(1)で示される。

10 【0004】

(1)

ト電極パッド11にはボンディングワイヤーを介して入力信号が加えられ、出力電極パッド13からはボンディングワイヤーを介して増幅された信号が外部に引き出される。整合用スパイラルインダクター8は、この場合FETの出力であるドレインのインピーダンスを所定のインピーダンスに変換して整合し、高周波信号の反射を防ぎ効率的に高周波電力を外部に引き出す機能を果たすようになっている。

20 【0008】なお、上記整合用スパイラルインダクター8の代わりに伝送線路を設けた構成となっている場合もある。

【0009】

【発明が解決しようとする課題】しかしながら、図10に示す従来のMMICの構造では、下記のような問題があった。例えば機器の動作周波数が1GHzの場合、その周波数に対応する真空中での波長は約300mmであるが、GaAs半導体基板の比誘電率を1.2と仮定すると、上記式(1)によりGaAs半導体基板上の短縮された波長は約87mmとなる。高周波信号では4分の1波長の周期で短絡と開放とが交互に発生するので、通常は4分の1波長の範囲内で位相回転を利用する。従つて、GaAs半導体基板上の短縮された4分の1波長は約22mmとなるので、22mm長の伝送線路あるいはスパイラルインダクターを形成する必要がある。

【0010】しかるに、伝送線路の幅やボンディングワイヤーのためのパッドの大きさを考慮すると、半導体チップの主面全体を伝送線路として使用しても、3ミリ角程度のGaAs半導体チップに22ミリの線路を描画することは困難である。まして、半導体基板上には、キャパシターや他の半導体素子も集積しなければならない。したがって、このような高周波領域で動作するMMICを形成するには、半導体チップのサイズを7ミリ角前後にする必要が生じる。なお、インダクターの形状をスパイラル状にすることで、等価的なインダクタンスはある程度増加するが、それでも同程度のチップサイズが必要である。GaAs基板を使用する場合、このようなチップサイズの大型化は大幅なコスト上昇をもたらし、工業的な価値がほとんどなくなる。

【0011】このように、従来の構造では、G a A s 基板の比誘電率が12前後であるという特性を利用し、あるいはスパイラル形状にしてインダクタンスを可及的に向上させたとしても、インピーダンス整合回路を半導体基板上に設けようすると、半導体チップ上でインダクター部分の占める面積が非常に大きくなり、半導体チップの小型化及びコストの低減が困難であるという問題があつた。

【0012】本発明は、かかる点に鑑みてなされたものであつて、半導体基板上に能動半導体素子とインダクター又は伝送線路からなる受動素子とを一体形成した構成において、受動素子のインダクタンスの値又は位相回転角を著しく大きくすることができ、半導体チップの小型化及びコスト低減を図ることができる優れた高周波半導体装置を提供することを目的としている。

### 【0013】

【課題を解決するための手段】上記目的を達成するために、本発明では、請求項1～13に記載される手段を講じている。

【0014】本発明に係る第1の高周波半導体装置は、請求項1に記載されるように、半導体基板と、上記半導体基板の主面側に形成されたトランジスタ等の能動半導体素子と、上記半導体基板の主面側に形成され、インダクター及び伝送線路のうちのいずれか一方からなる受動素子と、上記受動素子上に形成された比誘電率10以上の高誘電体膜と、上記高誘電体膜の上に形成された接地金属電極とを備えている。

【0015】この構成により、受動素子が高い比誘電率を有する材料で構成されているので、受動素子のインダクタンスの値又は位相回転角を著しく大きくすることができるとなり、半導体チップの小型化及びコスト低減が可能となる。

【0016】請求項2に記載されるように、請求項1の高周波半導体装置において、少なくとも端子及び接地電極を有し、上記半導体基板をその主面側を上にした状態で実装するためのパッケージをさらに設け、上記半導体基板上の各電極パッドと上記パッケージとの相対応する端子がボンディングワイヤーで接続されていると共に、上記接地金属電極と上記パッケージの接地電極とがボンディングワイヤにより相互に接続されている構成とすることができる。

【0017】この構成により、比誘電率の高い高誘電体膜を厚く形成することができることから、ワイヤボンディング時の衝撃による半導体基板の破壊を防止しつつ、半導体基板をパッケージに収納することが可能となる。

【0018】請求項3に記載されるように、請求項1の高周波半導体装置において、上記各部材が形成された半導体基板をその主面側を下にした状態で実装するためのパッケージをさらに設け、上記半導体基板上の接地金属電極をバンプとしても機能するものとし、上記各電極パ

ッドと上記パッケージとの相対応する端子とがバンプを介して直接接続され、上記接地金属電極と上記パッケージの接地電極とが上記バンプにより直接接続されている構成とすることができます。

【0019】この構成により、半導体基板上の各端子とパッケージ上の端子とがバンプを介して直接接続されるので、高周波信号の利得が向上し、インピーダンスの変化が抑制される。また、半導体基板上の接地金属電極がバンプとして機能しながらパッケージ上の接地金属に接続されるので、接地電位及び高周波特性が安定する。また、ワイヤボンディングの場合に比べてパッケージへの収納に際しての高周波特性の変化が少ないので設計通りの高周波特性を得ることが可能となる。

【0020】本発明に係る第2の高周波半導体装置は、請求項4に記載されるように、半導体基板と、上記半導体基板の主面側に形成されたトランジスタ等の能動半導体素子と、上記半導体基板の主面側に形成され、インダクター及び伝送線路のうちのいずれか一方からなる複数の受動素子と、上記各受動素子上にそれぞれ形成され互いに分離された比誘電率10以上の複数の高誘電体膜と、上記各高誘電体膜の上にそれぞれ形成され互いに分離された複数の接地金属電極とを備えている。

【0021】この構成により、複数の高誘電体膜及び接地金属電極の積層膜が互いに分離されているので、スパイラルインダクター又は伝送線路からなる入力側のインピーダンス整合回路を出力側のインピーダンス整合回路と分離して形成することができる。従って、従来の化合物半導体基板の裏面等に高誘電体膜用接地金属を一面に形成した高周波半導体装置で生じる入出力が結合することで起きた発振や、アイソレーションの低下を確実に防止することができる。

【0022】請求項5に記載されるように、請求項4の高周波半導体装置において、上記各高誘電体膜を、互いに異なる比誘電率を有する材料により構成することが好ましい。

【0023】この構成により、半導体基板上で回路の特性に合わせて高誘電体膜の比誘電率を選択することができ、高周波半導体装置の設計自由度が大幅に向かう。例えば、低インピーダンスへの整合が必要でしかも精度が必要なインダクターには比誘電率が20程度の高誘電体膜を付設し、単に位相回転角だけが大きく必要な整合回路のインダクターには比誘電率が100程度の高誘電体膜を付設するように使い分けることができる。したがって、高周波半導体装置の小型化と高精度化とを同時に実現できる。

【0024】本発明に係る第3の高周波半導体装置は、請求項6に記載されるように、半導体基板と、上記半導体基板の主面側に形成されたトランジスタ等の能動半導体素子と、上記半導体基板の主面側に形成された接地金属電極と、上記接地金属電極の上に形成された比誘電率

10以上の高誘電体膜と、上記高誘電体膜の上に形成され、インダクター及び伝送線路のうちのいずれか一方からなる受動素子とを備えている。

【0025】本発明に係る第4の高周波半導体装置は、請求項7に記載されるように、半導体基板と、上記半導体基板の正面側に形成されたトランジスタ等の能動半導体素子と、上記基板の正面側に互いに分離して形成された複数の接地金属電極と、上記各接地金属電極の上に形成され互いに分離された比誘電率10以上の複数の高誘電体膜と、上記各高誘電体膜の上に形成され、インダクター及び伝送線路のうちのいずれか一方からなる複数の受動素子とを備えている。

【0026】上記第3又は第4の高周波半導体装置の構成により、受動素子のインダクタンスの値又は位相回転角を著しく大きくすることができ、半導体チップの小型化及びコスト低減が可能となる。加えて、半導体基板の正面側に接地金属電極と高誘電体膜とが積層された領域上にスパイラルインダクター又は伝送線路からなる受動素子を形成するので、トランジスタ等の能動半導体素子、接地電極等を受動素子と共に工程で形成することができるとなり、工程数の削減により製造コストも低減される。

【0027】請求項8に記載されるように、請求項7の高周波半導体装置において、上記各高誘電体膜を、互いに異なる比誘電率を有する材料により構成することが好ましい。

【0028】この構成により、請求項5と同様の作用が得られる。

【0029】請求項9に記載されるように、請求項1, 4, 6又は7の高周波半導体装置において、上記接地金属電極の厚みを、使用周波数が低いほど厚くなるように形成することができる。

【0030】この構成により、高周波信号が導体の表面付近の領域のみを流れるという表皮効果を利用して、使用周波数に応じた適切な接地金属電極の厚みが確保されることになる。

【0031】請求項10に記載されるように、請求項1, 4, 6又は7の高周波半導体装置において、上記接地金属電極の厚みを3μm以上とすることが好ましい。

【0032】この構成により、半導体基板上の接地金属電極をパッケージ等の接地電極にワイヤボンディングを介して接続する場合には、ワイヤボンディング時における衝撃で高周波半導体装置が破損するのを防止することができるとともに、半導体基板上の接地金属電極をバングとして機能させる場合にはバングとして必要な厚みが確保される。また、高周波半導体装置で問題になる接地電位の不安定性も解消される。

【0033】請求項11に記載されるように、請求項1, 4, 6又は7の高周波半導体装置において、上記半導体基板が化合物半導体基板の場合には、上記高誘電体

膜を比誘電率が20以上の材料で構成することが好ましい。

【0034】この構成により、比誘電率が12前後の半絶縁性GaN基板等そのものを高誘電体膜として使用していた従来の高周波半導体装置に比べ、インダクター等の受動素子の占有面積の大幅な低減や高周波特性の向上などの各請求項の作用が有効に得られることになる。

【0035】請求項12に記載されるように、請求項1, 4, 6又は7記載の高周波半導体装置において、上記高誘電体膜は、チタン酸ストロンチウム(SrTiO<sub>3</sub>)により構成することが好ましい。

【0036】この構成により、比誘電率が高くしかも堆積条件によって比誘電率を調節できるというチタン酸ストロンチウムの特性を利用して、各請求項の作用を顕著に得ることができる。

【0037】請求項13に記載されるように、請求項1, 4, 6又は7の高周波半導体装置において、上記半導体基板を、シリコン単結晶により構成することができる。

【0038】この構成により、安価なシリコン基板を用いながら、高い波長の短縮効果を有するインダクター等による占有面積の低減と高周波特性の向上とが実現されることになる。

【0039】

#### 【発明の実施の形態】

(第1の実施形態) 図1(a)は、第1の実施形態に係る半絶縁性GaN基板を用いたMMICの平面図、図1(b)は図1(a)に示すIb—Ib線における断面図、図2は図1(b)に示すII-II線における平面透視図である。本実施形態では、本発明の基本的な構成について説明する。

【0040】本実施形態に係るMMICは、能動半導体素子であるFETとその出力であるドレイン側に接続されるインピーダンス整合回路とを備えている。図1(a), (b)及び図2に示すように、半絶縁性GaN基板1の正面側にはFETと整合用スパイラルインダクター8とが形成されている。FETの構造は、上記図10(a), (b)に示す従来のMMICにおけるFETの構造と同じであるので、図10(a), (b)と同じ符号を付して説明を省略する。

【0041】一方、本実施形態の特徴として、上記スパイラルインダクター8の上には、高誘電体膜9と高誘電体膜用接地電極10とが順次形成されている。すなわち、図2に仮想線で示す高誘電体膜用接地電極10と高誘電体膜9の下方に整合用スパイラルインダクター8が位置している。この整合用スパイラルインダクター8は、重なり領域Rovlpにおいて絶縁膜を介して出力電極パッド13を跨いた後、先端部で出力電極パッド13と接続されている。そして、その整合用スパイラルインダクター8の上のはば全面に高誘電体膜9と高誘電体膜用

接地金属10とが連続的に形成されている。

【0042】ここで、高誘電体膜用接地金属10は、通常用いる金メッキ等の方法で行えば $1\text{ }\mu\text{m}$ から $2\text{ }\mu\text{m}$ の厚さに容易に形成でき、 $5\text{ }\mu\text{m}$ 以上の厚さでも可能である。従って、高周波的な抵抗成分が問題となつて接地電位が不安定になることはない。特に、高誘電体膜用接地

$$\delta = \sqrt{2 / (\omega \cdot \mu \cdot \sigma)}$$

(ただし、 $\omega = 2\pi f$  ( $f$  は周波数値)、 $\mu$  は透磁率、 $\sigma$  は導電率である。) で定まる。下記表1は、特に高誘電体膜用接地金属10を金(Au)で構成した場合において各周波数値について上記式(2)から算出される表皮効果の厚さ $\delta$ を示す。

### 【0043】

【表1】

周 波 数	1 GHz	5 GHz
skin depth	2. 6 μm	1. 2 μm

なお、高誘電体膜用接地金属10を形成する工程は、半導体装置の製造工程のうち最終工程に近いので、段差の影響を考慮する必要がなく、金メッキ等により容易に形成することができる。

【0044】また、高誘電体膜9にはチタン酸ストロンチウム(SrTiO<sub>3</sub>)を用い、その中でも比誘電率が20~300程度のものを使用する。チタン酸ストロンチウム(SrTiO<sub>3</sub>)の比誘電率は、この材料をスペッタリングするときの堆積条件、具体的には基板加熱温度またはスペッタリング後のアニール温度で20から300まで制御性良く変えることができる。例えば比誘電率が100の高誘電体膜9を整合用スパイラルインダクター8の上に堆積することにより、短縮された波長は、図10に示すような単に比誘電率が12の半絶縁性GaAs基板1の上にスパイラルインダクターを形成しただけの場合に短縮される波長に比べ、約3分の1になる。つまり、両構造におけるスパイラルインダクターの線路長が同じであれば、本実施形態の構造では、従来の構造に比べ位相回転角を3倍にすることができる。逆に、同じ位相回転角を得るためにすれば、図1に示した第1の実施形態を用いることで線路長を3分の1に短縮できる。従って、本実施形態の構造を採用することにより、スパイラルインダクター又は伝送線路からなる受動素子の面積を、従来の3分の1から9分の1の範囲で大幅に縮小でき、半導体チップの小型化とコスト低減を図ることができるのである。

【0045】なお、本実施形態において、スパイラルインダクターの代わりに伝送線路を設けても、同様の効果を発揮することができる。

【0046】(第2の実施形態) 次に、第2の実施形態について説明する。本実施形態では、本発明の基本的な構成を有するMMICとパッケージとの間の端子をワイヤボンディングにより接続した例について説明する。図

金属10の厚さは、高周波信号に係る電流が導体の表面付近のみを流れるという表皮効果を考慮すると、使用周波数に応じて変えることができる。表皮効果により高周波信号に係る電流が流れる表面付近の領域の厚さ(skin depth)  $\delta$ は、下記式(2)

(2)

3 (a) は本実施形態に係るMMICがパッケージに実装された状態を示す平面図、図3 (b) は図3 (a) のIIIb-IIIb線における断面図である。ただし、図3 (a), (b) に示す半導体チップの構造は、上記第1の実施形態において説明した図1 (a), (b) 及び図2に示す構造と同じである。

【0047】図3 (a), (b) に示すように、パッケージ基板23には、パッケージ接地金属22と、該パッケージ接地電極22に接続されるソース端子15とが設けられているとともに、入力端子としてのゲート端子16と出力端子17とが設けられている。そして、半導体チップは、その主面側を上にした状態でパッケージ接地電極22に半田又は樹脂を用いて固定されている。

【0048】ここで、半導体チップ側のソース電極パッド12とパッケージ側のソース端子15とがソースワイヤー18を介して、半導体チップ側のゲート電極パッド11とパッケージ側のゲート端子16とが入力ワイヤー19を介して、半導体チップ側の出力電極パッド13とパッケージ側の出力端子17とが出力ワイヤー20を介して、半導体チップ側の高誘電体膜用接地金属10とパッケージ接地金属22とが接地ワイヤー21を介して、それぞれ接続されている。

【0049】本実施形態では、このような構成とすることで、高誘電体膜9を用いてスパイラルインダクター8からなる受動素子の面積を大幅に縮小した半導体チップをパッケージに実装することができ、パッケージに実装されていることでプリント基板への半田付けが非常にやりやすい形態とすることができる。また、高誘電体膜9上の接地金属電極10は、前述のように、 $5\text{ }\mu\text{m}$ 以上の厚さに形成することも可能であるので、ボンディングワイヤーを接続するときの衝撃による半導体チップの破壊を確実に防止することができる。

【0050】なお、本実施形態において、スパイラルインダクターの代わりに伝送線路を設けても、同様の効果を発揮することができる。

【0051】また、本実施形態に使用されるパッケージは、セラミックパッケージ、樹脂封止パッケージのいずれでもよい。

【0052】(第3の実施形態) 次に、第3の実施形態について説明する。本実施形態では、本発明の基本的な構成を有するMMICとパッケージとの間の端子をバンプにより接続した例について説明する。図4 (a) は本実施形態に係るMMICがパッケージに実装された状態

を示す平面図、図4 (b) は図4 (a) のIVb - IVb 線における断面図である。ただし、図4 (a), (b) に示す半導体チップの構造は、上記第1の実施形態において説明した図1 (a), (b) 及び図2に示す構造とパッド位置は異なるものの基本的には同じである。

【0053】ここで、本実施形態では、図4 (a), (b) に示すように、MM I C側の電極パッドには数 $\mu$ m以上の大金メッキでできた突起状のバンプが形成されている。つまり、ソース電極パッド12にはソースバンプ27が、ゲート電極パッド(図示せず)にはゲートバンプ28が、整合用スパイラルインダクター8に接続される出力電極パッド(図示せず)には出力バンプ29がそれぞれ設けられている。ここで、本実施形態における特徴として、整合用スパイラルインダクター8の上に位置する高誘電体膜用接地電極10は、厚めに形成されており、接地電極10自体がバンプとして機能する。

【0054】一方、パッケージ側には、半導体チップの支持基板として機能するセラミック基板30が設けられている。また、セラミック基板30の表面には、上記半導体チップ側のMM I Cのそれぞれのバンプの位置に対応した位置に、パッケージ側接地金属として機能するソース端子24と、ゲート端子25と、出力端子26とが設けられている。そして、半導体チップ側のソース電極パッド12、ゲート電極パッド及び出力電極パッドは、上記各バンプ27, 28, 29を介して、それぞれセラミック基板上のソース端子24、ゲート端子25及び出力端子26に接続されている。一方、半導体チップ上の高誘電体膜用接地電極10は、電極自体がバンプとなり、セラミック基板上のソース端子24に直接接続され接地されている。

【0055】本実施形態のごとく、図4に示す構成とすることで、ボンディングワイヤー無しに半導体チップの各電極及び高誘電体膜用接地電極10と支持基板の各電極とを直接接続できる。したがって、F E Tのソースにインダクタンスが接続されないので利得が向上する。また、高誘電体膜9を介してスパイラルインダクター8の上に設けられた高誘電体膜用接地金属10が直接パッケージ側接地金属(ソース端子24)に接続されるので、接地電位がより安定する。しかも、スパイラルインダクター8のG a A s 基板1上における配置場所についての制限は別段なく、どの位置にレイアウトしても接地金属10を安定に接続できる。さらに、このように接地電位が極めて安定していることと、高誘電体膜9上に形成された接地金属10を厚く形成し得ることから、例えば20 GHz程度の高周波数でも動作可能なMM I Cを構成することができる。このように、本実施形態では、高周波信号における利得の向上と及びボンディングワイヤーのインダクタンスによるインピーダンスの変化の解消とを図ることができるとともに、接地電位の安定化、特性の安定化を図ることができるという顕著な効果を発揮す

ることができる。

【0056】なお、本実施形態において、スパイラルインダクターの代わりに伝送線路を設けても、同様の効果を発揮することができる。

【0057】(第4の実施形態) 次に、第4の実施形態について説明する。図5 (a) は、第4の実施形態に係る半絶縁性G a A s 基板を用いたMM I Cの平面図、図5 (b) は図5 (a) のVb-Vb線における断面図、図6は図5 (b) のVI-VI線における断面図である。本実施形態では、F E Tの入力側となるゲートとF E Tの出力側となるドレイン側にそれぞれインピーダンス整合回路をそれぞれ接続してなる入出力インピーダンス整合回路付きのMM I Cについて説明する。

【0058】図5 (a), (b) 及び図6に示すように、半絶縁性G a A s 基板1の主面側にはF E Tと第1, 第2整合用スパイラルインダクター8a, 8bとが形成されている。第1整合用スパイラルインダクター8aの上にはチタン酸ストロンチウムからなる第1高誘電体膜9aと第1高誘電体膜用接地電極10aとが順次積層されているとともに、第2整合用スパイラルインダクター8bの上には第2高誘電体膜9bと第2高誘電体膜用接地電極10bと順次積層されており、両積層膜は互いに分離して半導体チップ上に形成されている。上記第1整合用スパイラルインダクター8aは出力信号のインピーダンスを整合するものであり、第2整合用スパイラルインダクター8bは入力信号のインピーダンスを整合するものである。

【0059】本実施形態では、図5 (a), (b) 及び図6に示すように、半導体チップ上に、能動素子(F E T)の入力側と出力側とにそれぞれ整合用スパイラルインダクター8a, 8bが設けられ、各整合用スパイラルインダクター8a, 8bの上に、それぞれ分離して高誘電体膜9a, 9bと高誘電体膜用接地電極10a, 10bとが積層されている。したがって、上記第1の実施形態と同様に、受動素子の面積を大幅に縮小することができるとともに、入出力インピーダンス整合回路の高誘電体膜9a, 9bと高誘電体膜用接地電極10a, 10bとが互いに分離されているので、入力信号と出力信号の分離性(アイソレーション)が向上し、そのために、高周波信号の回り込みが無く発振等を防止することができるという利点がある。

【0060】なお、本実施形態において、スパイラルインダクターの代わりに伝送線路を設けても、同様の効果を発揮することができる。

【0061】(第5の実施形態) 次に第5の実施形態について説明する。本実施形態に係るMM I Cの形状上の構造は、上記第4の実施形態において説明した図5 (a), (b) 及び図6に示すMM I Cの構造と同じである。ただし、本実施形態に係るMM I Cは、第1高誘電体膜9aと第2高誘電体膜10aの比誘電率が同一で

なく、例えば出力インピーダンス整合回路の第1高誘電体膜9aを先に堆積し、その後入力インピーダンス整合回路の第2高誘電体膜9bを条件を変えて堆積することで、異なる比誘電率を有する2つの高誘電体膜9a, 9bを同一半導体チップ上に形成している。

【0062】本実施形態では、このように異なる比誘電率を有する高誘電体膜9a, 9bの下にスパイラルインダクター10a, 10bを形成することにより、例えば低インピーダンスへの整合が必要でしかも精度が必要な部分には比誘電率が20程度のものを用い、バイアス部分の4分の1波長チョーク回路のように単に位相回転角またはインダクタンス成分だけが大きく必要な整合の部分には比誘電率100程度のものを使い分けることができ、小型化と高精度化を両立させることができる。また、設計の自由度を大幅に向上させることができる。ただし、本実施形態において、スパイラルインダクターの代わりに伝送線路を設けても、同様の効果を発揮することができる。

【0063】(第6の実施形態) 次に、第6の実施形態について説明する。本実施形態では、GaAs基板上に高誘電体膜用接地電極、高誘電体膜及びスパイラルインダクターを順次積層した場合の構造について説明する。図7(a)は第6の実施形態の半絶縁性GaAs基板を用いたMMICの平面図、図7(b)は図7(a)のII-Xb-II-Xb線における断面図である。本実施形態に係るMMICは、能動半導体素子であるFETの入力側になるゲートと出力側になるドレインとにそれぞれインピーダンス整合回路を接続してなる入出力整合回路付きの構造となっている。

【0064】図7(a), (b)に示すように、半絶縁性GaAs基板1の正面側にはFETが形成され、FETのドレイン側に隣接する半絶縁性GaAs基板1上には、絶縁膜4を介して第1高誘電体膜用接地電極10aとチタン酸ストロンチウムからなる第1高誘電体膜9aと第1整合用スパイラルインダクター8aとが順次積層され、FETのソース側に隣接するGaAs基板1上には、第2高誘電体膜用接地電極10bと第2高誘電体膜9bと、第2整合用スパイラルインダクター8bとが順次積層されている。

【0065】すなわち、第1スパイラルインダクター8aがFETのドレインに接続されて出力インピーダンス整合回路を構成し、第2スパイラルインダクター8bがFETのゲートに接続されて入力インピーダンス整合回路を構成する点は、上記第4の実施形態と同様であるが、本実施形態では、GaAs基板1上に絶縁膜4を介して高誘電体膜用接地金属10a, 10bが形成され、その上に高誘電体膜9a, 9bとスパイラルインダクター8a, 8bとが堆積されている点が上記第4の実施形態と異なる。そして、第1, 第2高誘電体膜用接地電極10a, 10bの一部は、それぞれ第1, 第2高誘電体

膜9a, 9bの外方まではみでるように形成されており、このみでた部分を介してパッケージ等の接地電極と接続しやすい構造となっている。

【0066】本実施形態では、各整合用スパイラルインダクター8a, 8bが高誘電体膜9a, 9b上に後から形成されているので、FET等の能動半導体素子とスパイラルインダクター(又は伝送回路)とを共通の工程で形成し得る利点がある。すなわち、比誘電率が20以上の高誘電体膜9a, 9bを用いることで、高周波特性の向上と小型化とを実現し得るMMICを容易にかつ低成本で製造することができる。したがって、上述の特性を発揮し得るMMICの実用化が容易となる。

【0067】(第7の実施形態) 次に、第7の実施形態について説明する。本実施形態においては、MMICの形状上の構造は、上記第6の実施形態において説明した図7(a), (b)に示す構造と同じである。ただし、本実施形態では、第1高誘電体膜10aと第2高誘電体膜10bとの比誘電率が同一でなく異なっている。前述したように、高誘電体膜の堆積条件を変えることで、同一半導体チップ上に異なる比誘電率を有する高誘電体膜を作成し、その上に整合用スパイラルインダクターを形成する。

【0068】したがって、本実施形態では、上記第5の実施形態と同様に、低インピーダンスへの整合が必要でしかも精度が必要な部分と、バイアス部分の4分の1波長チョーク回路のように単に位相回転角またはインダクタンス成分だけが大きく必要な整合の部分とでは高誘電体膜9a, 9bの比誘電率を使い分け、小型化と高精度化を両立させることができる。

【0069】(第8の実施形態) 次に、第8の実施形態について説明する。本実施形態では、上記第6又は第7の実施形態に係るMMICをパッケージに収納する場合の構造について説明する。図8(a)は第6又は第7の実施形態の構造を有する半絶縁性GaAs基板を用いたMMICをパッケージに実装した状態を示す平面図、図8(b)は図8(a)のIXb-IXb線における断面図である。

【0070】図8(a), (b)に示すように、パッケージ基板23には、パッケージ接地金属22と、該パッケージ接地電極22に接続されるソース端子15とが設けられているとともに、入力端子16と出力端子17とが設けられている。そして、半導体チップは、その正面側を上にした状態でパッケージ接地電極22に半田又は樹脂を用いて固定されている。なお、MMICの構造は、上記第6又は第7の実施形態において既に説明したとおりである。

【0071】ここで、半導体チップ側のソース電極パッド12とパッケージ側のソース端子15とがソースワイヤー18を介して、半導体チップ側の入力電極パッド13bとパッケージ側の入力端子16とが入力ワイヤー15

9を介して、半導体チップ側の出力電極パッド13aとパッケージ側の出力端子17とが出力ワイヤー20を介して、半導体チップ側の第1、第2高誘電体膜用接地金属10a、10bとパッケージ接地金属22とが第1、第2接地ワイヤー21a、21bを介して、それぞれ接続されている。ただし、第1、第2高誘電体膜用接地金属10a、10bの第1、第2高誘電体膜9a、9bよりも外方にはみでた部分に接地ワイヤー21a、21bがボンディングされている。

【0072】本実施形態では、図8(a), (b)に示す構成とすることで、半導体基板上に高誘電体膜用接地金属10a、10b、高誘電体膜9a、9b及び整合用スパイラルインダクター8a、8bを順次積層した構造の半導体チップを容易にパッケージに実装することができる。その際、第1、第2高誘電体膜用接地金属10a、10bは、高誘電体膜9a、9bよりも外方にはみでた部分でボンディングされるので、ボンディングワイヤーを接続するときの衝撃による半導体チップの破壊が問題とはなることはない。また、半導体チップがこのようにパッケージに実装されることでプリント基板への半田付けが非常にやりやすい形態とすることができます。

【0073】(第9の実施形態) 次に、第9の実施形態について説明する。本実施形態では、入力回路、出力回路及びバイアス回路に各々インダクターを有するインピーダンス整合回路を設けた構成において、各インダクターの比誘電率を異なる値にした場合について説明する。

【0074】図9(a), (b)は、入力回路、出力回路及びバイパス回路に3つのインダクタンスL1, L2, L3とキャパシタC1, C2, C0とを設けた場合のインピーダンスの動きを示すスミスチャート図及び回路図である。図9(a), (b)において、FETのゲート端子のインピーダンスを点Aで示しており、入力インダクターL1と入力容量C1により入力インピーダンスを50Ωとするように整合をとることができる。同様に、FETのドレイン端子のインピーダンスを点Bで示しており、出力インダクターL2と出力容量C2により出力インピーダンスを50Ωとするように整合をとることができる。ドレインのDCバイアス線は、チョークインダクターL3の一端を容量が数1000pFのバイパスコンデンサC0に接続することにより、点BからDCバイアス線に向かう高周波信号のインピーダンスが無限大になるように設定されていて、高周波電力がDCバイアス線に漏れるのを防ぐように構成されている。同図(a)に示すように、入力インダクターL1と出力インダクターL2とチョークインダクターL3とのスミスチャート上での動きは相互に大きく異なっており、しかも、必要とされる精度も異なる。すなわち、チョークインダクターL3は大きな位相回転角が必要であるが、精度は粗くてもよいので、非常に大きな300程度の比誘

電率を有する高誘電体膜を用いてスパイラルインダクター(または伝送線路)を形成することで、小型化を達成し得る。他方、入力インダクターL1は高精度で50Ωにインピーダンス整合をとる必要があるので、あまり大きな比誘電率を有する高誘電体膜を使用できず、比誘電率を50~100程度に抑えることで、小型化と精度とを適度に満足させることができが好ましい。さらに、出力インダクターL2に用いる高誘電体膜の比誘電率も各インダクターL1, L3とは異なる値とすることで、出力インダクターL2に要求される位相回転角と精度とを確保することができ、かつインダクターの小型化とを図ることが可能となる。

【0075】(その他の実施形態) 上記各実施形態においては、半導体基板をGaAs基板としたが、本発明は斯かる実施形態に限定されるものではなく、例えばシリコン基板を使用することもできる。その場合、各実施形態におけるMMICの構造中のFETの構造が異なるだけで、スパイラルインダクター、高誘電体膜、高誘電体膜用接地金属や各電極パッドの構造は各実施形態における構造と同じとできる。そして、従来高誘電体膜として使用されていたシリコン塗化膜の比誘電率が7.5程度であるのに対し、本発明のごとく比誘電率が10以上の材料で高誘電体膜を構成することにより、インダクター又は伝送線路の占有面積を大幅に低減し、かつ高周波特性を向上させるという効果を發揮することができる。また、化合物半導体基板を使用する場合にも、GaAsだけでなく、AlP, AlAs, AlSb, GaP, InP, InAs, InSb等を基板として使用することができるとはいうまでもない。

【0076】また、上記各実施形態においては、高誘電体膜をチタン酸ストロンチウムで構成したが、本発明の高誘電体膜を構成する材料はチタン酸ストロンチウムに限定されるものではない。比誘電率が10以上の材料として、例えばチタン酸鉛、チタン・ジルコニ酸鉛(PZT)、チタン酸鉛・ビスマス、ニオブ酸カリウム、ニオブ酸リチウム、ニオブ酸ストロンチウム・バリウム(SBN-75)、ニオブ酸ストロンチウム、タンタル酸カリウム、タンタル・ニオブ酸カリウム(KTN)等があり、これらを単層で用いるか、複数材料を積層して適宜必要な比誘電率を得ることができる。

【0077】また、上記各実施形態では、構造の説明を容易にするために受動素子をスパイラルインダクターのみとしたが、キャパシター等を同じ基板上に形成してもよいことはいうまでもない。

【0078】さらに、上記各実施形態では、インダクターの形状をスパイラル状としたが、本発明に係るインダクターの形状は斯かる実施形態に限定されるものではなく、折りたたみ状等にしてもよい。

【0079】

【発明の効果】以上説明したように、各請求項の発明に

よれば以下の効果を発揮することができる。

【0080】請求項1によれば、半導体基板の主面側に形成されたインダクター又は伝送線路からなる受動素子上に、比誘電率10以上の高誘電体膜と接地金属電極とを連続的に積層する構成としたので、受動素子のインダクタンスの値又は位相回転角を著しく大きくすることができ、半導体チップの小型化及びコスト低減を図ることができる。また、比誘電率10以上の高誘電体膜の上に接地金属電極を厚く形成できるので高周波で問題になる接地電位の不安定を解消することができる。

【0081】請求項2によれば、請求項1において、上記半導体基板の主面側を上にして半導体基板をパッケージに実装し、高誘電体膜上に形成された接地金属電極とパッケージの接地電極とをボンディングワイヤーにより相互に接続する構成としたので、接地金属電極が厚く形成できることを利用して、ワイヤボンディング時の衝撃による半導体基板の破壊を防止しつつ、半導体基板をパッケージに容易に収納することができる。

【0082】請求項3によれば、請求項1において、半導体基板の主面側を下にした状態で半導体基板をパッケージに固定し接地金属電極をバンプとして機能させながらボンディングワイヤーを介することなくパッケージの接地電極と直接接続するようにしたので、接地電位の安定と受動素子の配置設計の自由度の向上とを図ることができるとともに、接地電位の安定と使用可能な周波数の上限の拡大を図ることができる。

【0083】請求項4によれば、半導体基板の主面側に形成されたインダクター又は伝送線路からなる受動素子上に、複数個の比誘電率10以上の高誘電体膜と接地金属電極とを互いに分離させながら積層する構成としたので、入力側の信号を出力側の信号との分離性を向上させることができ、よって、入出力が結合することで起る発振やアイソレーションの低下を有効に防止することができる。

【0084】請求項5によれば、請求項4において、各高誘電体膜を互いに異なる比誘電率を有する材料により構成したので、同じ半導体基板上で回路の特性に合わせて比誘電率を選択することができ、MMICの設計自由度の向上とMMICの小型化と高精度化とを実現することができる。

【0085】請求項6又は7によれば、半導体基板の主面側に形成された接地金属電極の上に比誘電率10以上の高誘電体膜を積層し、その上にインダクター又は伝送線路からなる受動素子を形成する構成としたので、受動素子のインダクタンス等の向上による半導体チップの小型化及びコストの低減と、受動素子と能動半導体素子との製造工程の共通化による工程数の削減と製造コストの低減とを図ることができる。

【0086】請求項8によれば、請求項7において、各高誘電体膜を互いに異なる比誘電率を有する材料により

構成するようにしたので、請求項5と同様の効果を発揮することができる。

【0087】請求項9によれば、請求項1, 4, 6又は7において、接地金属電極の厚みを、使用周波数が低いほど厚くなるように形成したので、表皮効果を利用して使用周波数に応じた適切な接地金属電極の厚みの設定を行なうことができる。

【0088】請求項10によれば、請求項1, 4, 6又は7において、接地金属電極の厚みを、3μm以上としたので、半導体基板をパッケージに収納する際のパッケージ側接地電極との接続状態の向上と、接地電位の不安定性の解消とを図ることができる。

【0089】請求項11によれば、請求項1, 4, 6又は7において、半導体基板が化合物半導体基板の場合、高誘電体膜を比誘電率が20以上の材料で構成したので、各請求項の効果を有効に発揮することができる。

【0090】請求項12によれば、請求項1, 4, 6又は7において、高誘電体膜をチタン酸ストロンチウムにより構成したので、高い比誘電率を有し堆積条件によって比誘電率を調節できるというチタン酸ストロンチウムの特性を利用して、各請求項の効果を顕著に発揮することができる。

【0091】請求項13によれば、請求項1, 4, 6又は7において、半導体基板をシリコン単結晶により構成したので、安価なシリコン基板によるコストの低減と、インダクター等の受動素子の占有面積の低減による高周波半導体装置の小型化と、高周波特性の向上とを図ることができる。

#### 【図面の簡単な説明】

30 【図1】第1の実施形態に係るMMICの平面図及び断面図である。

【図2】図1のII-II線における透視平面図である。

【図3】第2の実施形態に係るMMICの平面図及び断面図である。

【図4】第3の実施形態に係るパッケージに実装されたMMICの平面図及び断面図である。

【図5】第4及び第5の実施形態に係るMMICの平面図及び断面図である。

【図6】図5のVI-VI線における透視平面図である。

40 【図7】第6及び第7の実施形態に係るMMICの平面図及び断面図である。

【図8】第8の実施形態に係るパッケージに実装されたMMICの平面図及び断面図である。

【図9】第9の実施形態に係る異なる比誘電率を有する複数の高誘電体膜を設けたMMICのスミスチャート図及び回路図である。

【図10】従来のMMICの平面図及び断面図である。

#### 【符号の説明】

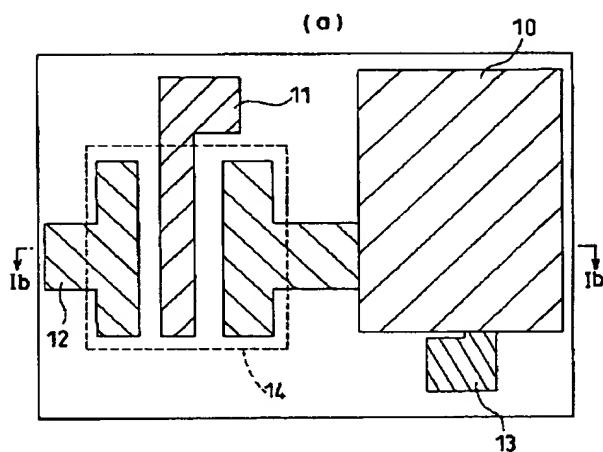
1 半絶縁性GaN基板

2 N+領域

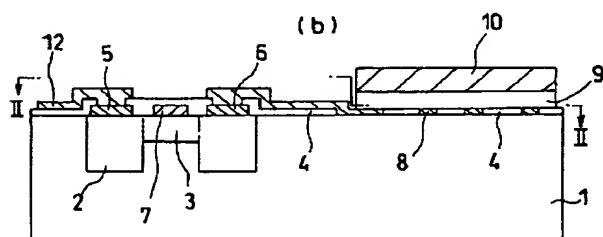
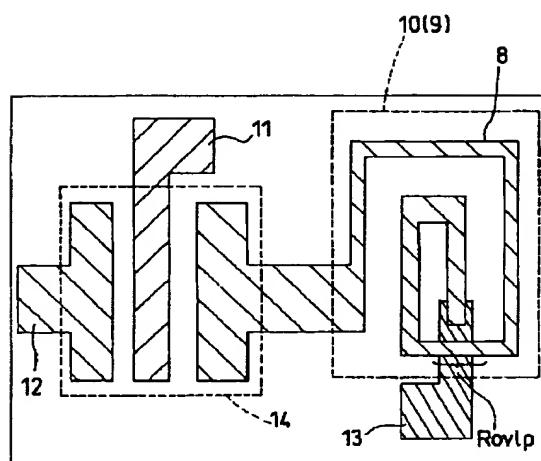
- 3 N-領域  
 4 絶縁膜  
 5 ソース電極  
 6 ドレイン電極  
 7 ゲート電極  
 8 整合用スパイラルインダクター  
 9 高誘電体膜  
 10 高誘電体膜用接地金属  
 11 ゲート電極パッド  
 12 ソース電極パッド  
 13 出力電極パッド  
 14 活性領域  
 15 ソース端子  
 16 ゲート端子  
 17 出力端子

- 18 ソースワイヤー  
 19 入力ワイヤー  
 20 出力ワイヤー  
 21 接地ワイヤー  
 22 パッケージ接地電極  
 23 パッケージ基板  
 24 ソース端子  
 25 ゲート端子  
 26 出力端子  
 27 ソースバンプ  
 28 ゲートバンプ  
 29 出力バンプ  
 30 セラミック基板  
 R0VLP 重なり領域

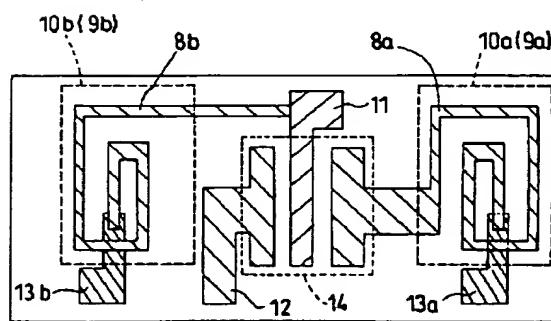
【図1】



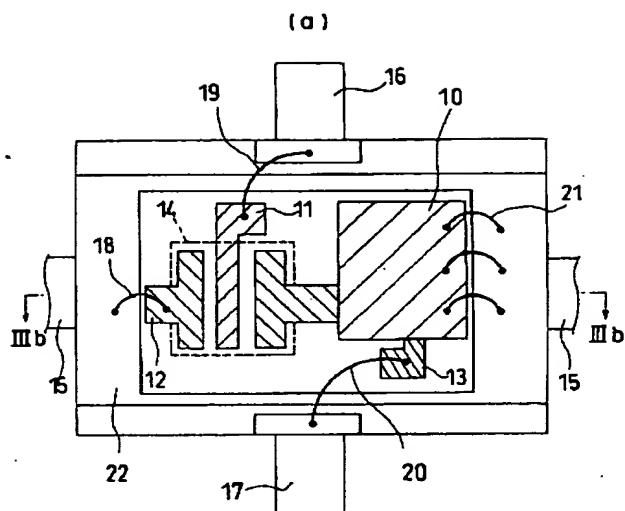
【図2】



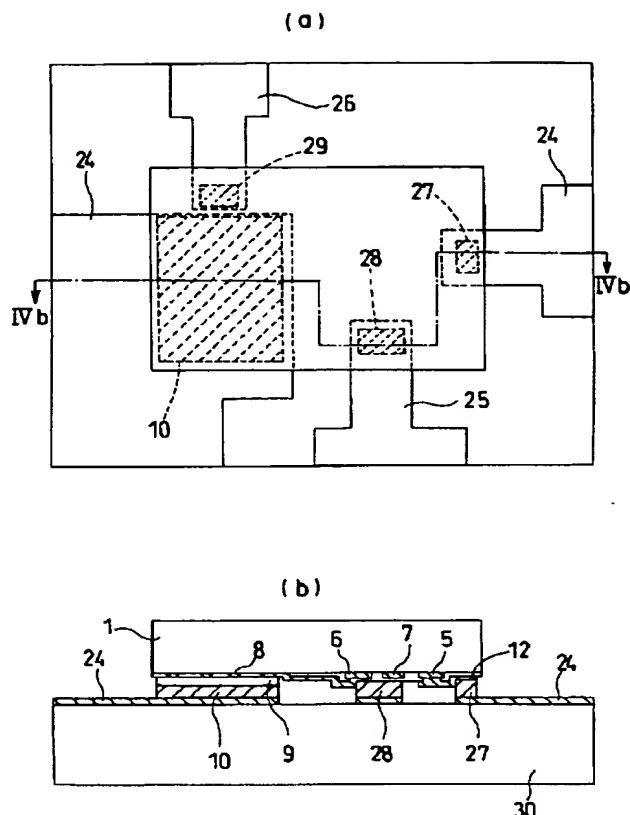
【図6】



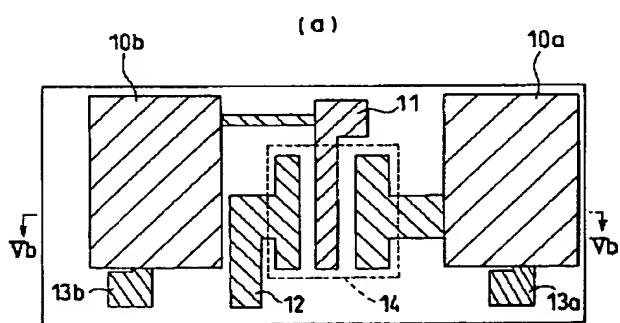
【図3】



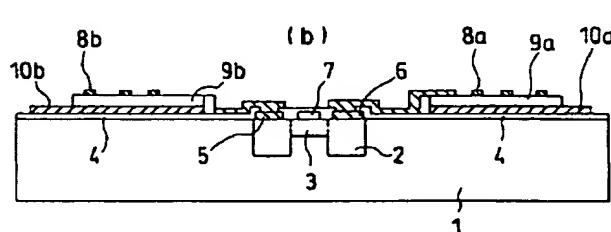
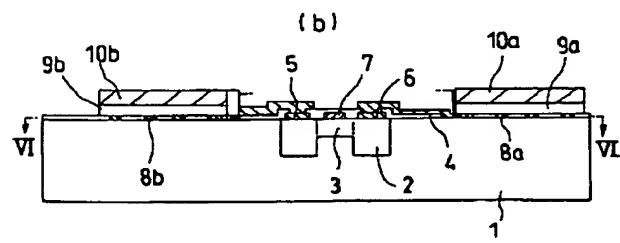
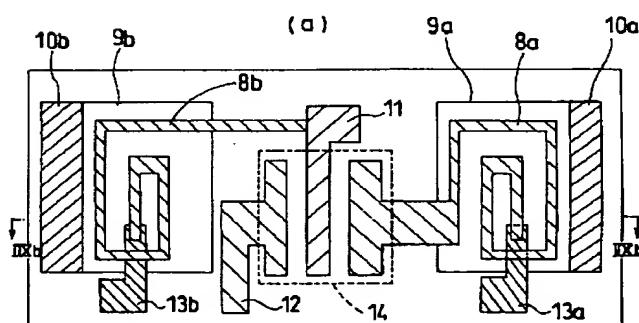
【図4】



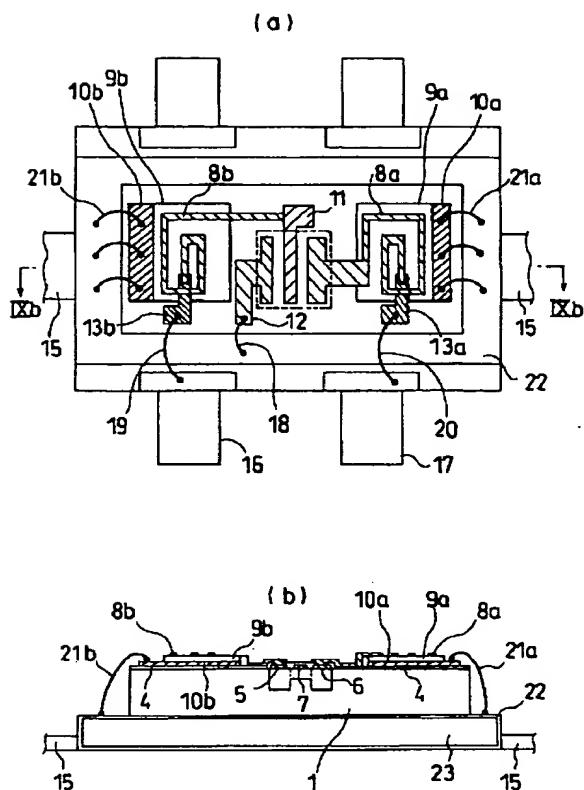
【図5】



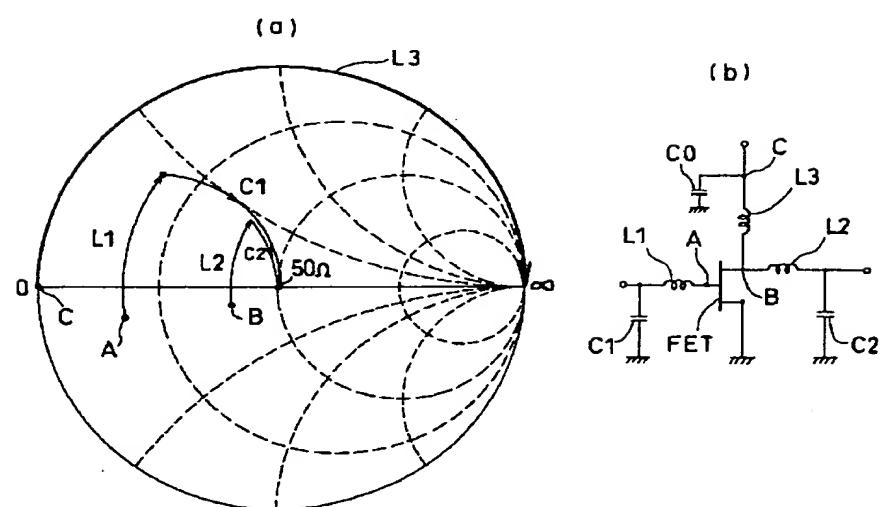
【図7】



【図8】

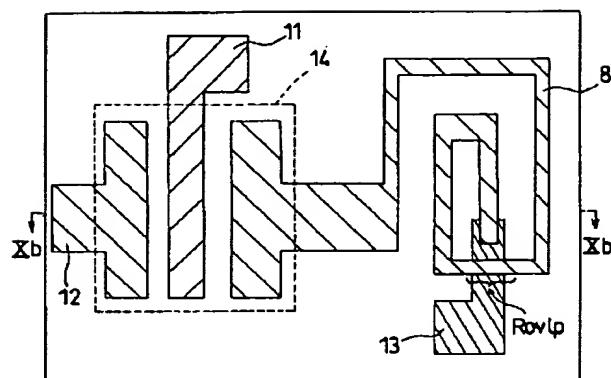


【図9】



【図10】

(a)



(b)

